


PHOTO-TRIAC

Patent Number: JP5315603
Publication date: 1993-11-26
Inventor(s): HIRAIWA AKITO
Applicant(s): SHARP CORP
Requested Patent:  JP5315603
Application Number: JP19920114507 19920507
Priority Number(s):
IPC Classification: H01L29/747; H01L29/74
EC Classification:
Equivalents: JP2802459B2

Abstract

PURPOSE: To obtain a photo-TRIAC with improved commutating characteristics by providing a short-circuited diode in the middle of each channel.

CONSTITUTION: Respective P-type anode scattering region 2a, 2b and P-type gate scattering regions 3a, 3b are formed at the same time, concentration of impurities on the surface is set to about $1 \times 10^{17} \text{ cm}^{-3}$, scattering depth is set to about 35 μm , P-type resistance scattering regions 7a, 7b are set to the scattering depth of about 8 μm . Also, N-type cathode scattering regions 4a, 4b being N-type scattering regions are formed at the same time to the surface concentration of about $5 \times 10^{20} \text{ cm}^{-3}$ and scattering depth of about 5 μm and, at the short-circuited diode D portion, P-type scattering region 10 is formed at the same time P-type resistance scattering regions 7a, 7b. Then, an N-type scattering region 11 is scattered at the same time with N-type cathode scattering regions 4a, 4b, A1 film adhered to the rear surface of element is selectively etched, wiring is made for conductors 6a, 6b and 12 on the surface, and a photo-TRIAC with enhanced commutating characteristics can be obtained.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-315603

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl.⁵

H 0 1 L 29/747
29/74

識別記号

庁内整理番号

F I

技術表示箇所

E

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-114507

(22)出願日 平成4年(1992)5月7日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 平岩 明人

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

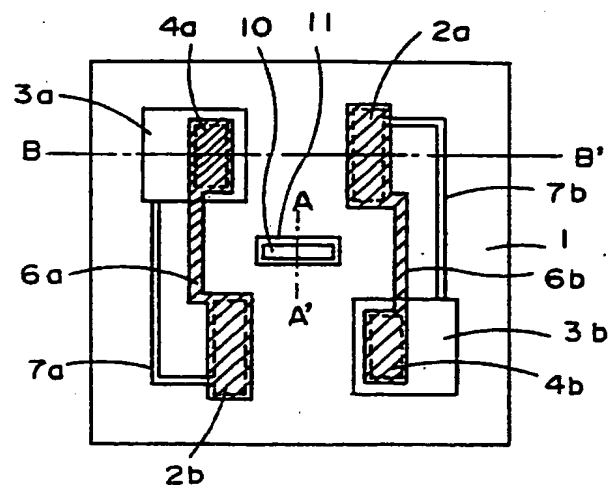
(74)代理人 弁理士 深見 久郎

(54)【発明の名称】 フォト・トライアック

(57)【要約】

【目的】 フォト・トライアックの転流特性を向上させる。

【構成】 フォト・トライアックを構成する第1のサイリスタと第2のサイリスタとの間に短絡されたダイオードDを設ける。



(2)

【特許請求の範囲】

【請求項1】 N型半導体基板の表面に形成されたPNPN接合のチャネルよりなる1対のラテラルサイリスタと、
各サイリスタのPNPN接合のチャネル間のN型半導体基板の表面に形成したP型拡散層とその周囲のN型半導体基板とによって構成されるダイオードと、
前記ダイオードを短絡する導体と、
を有することを特徴とするフォト・トライアック。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、転流特性を向上させたフォト・トライアックの改良に関するものである。

【0002】

【従来の技術】 図4は従来のフォト・トライアックの一例の略平面図であり、図5は図4のC-C' 略断面図である。

【0003】 図4において、N型半導体基板1の表面に、第1のP型アノード拡散領域2aと第1のP型ゲート拡散領域3aと第1のN型カソード拡散領域4aのPNPN接合からなる第1のフォト・サイリスタが形成され、また、第2のP型アノード拡散領域2bとN型半導体基板1と第2のP型ゲート拡散領域3bと第2のN型カソード拡散領域4bのPNPN接合からなる第2のフォト・サイリスタが形成され、この第1と第2のフォト・サイリスタは、N型半導体基板1の上下に2個のチャネルに分離できる配置で、1対のサイリスタが形成されている。

【0004】 なお、一方のP型アノード拡散領域2aあるいは2bと他方のN型カソード拡散領域4aあるいは4bは、図5に示される絶縁膜5を介して、導体6aあるいは6bで接続されており、また、一方のP型アノード拡散領域2aあるいは2bとP型ゲート拡散領域3aあるいは3bとを、P型抵抗拡散領域7aあるいは7bで接続している。

【0005】 図5に示されるように、図4のC-C' 間の断面は、ラテラル方向でPNPNジャンクションが形成され、一方のサイリスタとなっている。また、裏面のN型拡散層8は、外部からの光照射により、N型半導体基板1に発生した少数キャリアである正孔の裏面付近での再結合を抑制し、かつ反射させ、ライフタイムを長くし光感度を向上させ、さらに、PNPトランジスタの h_{FE} を大きくし、 dV/dt 耐量を高くするBSF効果のために設けている。なお、フォト・トライアックの表面は、導体6aおよび6bのコンタクト部以外は絶縁膜5で覆い、各PNジャンクション上の表面は、絶縁膜5を介して導体6aおよび6bで覆っている。

【0006】

【発明が解決しようとする課題】 従来の構造では、前述のようにN型半導体基板1の少数キャリアである正孔の

ライフタイムが長いと、転流特性が悪いという欠点がある。たとえば、図5において第1のP型アノード拡散領域2aとN型半導体基板1と第1のP型ゲート拡散領域3aと第1のN型カソード拡散領域4aからなるチャネルの第1のサイリスタに交流の順バイアスが印加され、外部の入射光等により導通状態である時点から半サイクル経過したとき、第2のP型アノード拡散領域2b、N型半導体基板1、第2のP型ゲート拡散領域3b、第2のN型カソード拡散領域4bからなるチャネルの第2のサイリスタへの順バイアスの立上がりが必要で、場合によっては、入射光等がない状態でも、N型半導体基板1に残留している正孔によって第2のサイリスタが導通状態となり転流が失敗する。転流の特性を向上するには、N型半導体基板1に発生する少数キャリアである正孔のライフタイムを短くすることにより可能であり、N型半導体基板1の裏面より形成しているBSF効果のためのN型拡散領域を除去すれば、BSF効果がなくなり転流特性は向上するが、光感度が低下し、さらに dV/dt も低下する。したがって、これらの両方の特性を向上することが必要である。

【0007】

【課題を解決するための手段】 本発明のフォト・トライアックにおいては、N型半導体基板の表面に形成されたPNPN接合のチャネルよりなる1対のラテラルサイリスタと、各サイリスタのPNPN接合のチャネル間のN型半導体基板の表面に形成したP型拡散層とその周囲のN型半導体基板とによって構成されるダイオードと、前記ダイオードを短絡する導体とを設けた。

【0008】

【作用】 各チャネルの中間に設けられた短絡されたダイオードにより、フォト・トライアックの転流時に残留するキャリア（正孔）は、消滅し、転流特性が向上する。

【0009】

【実施例】 図1は本発明の一実施例の略平面図であり、図2は図1のA-A' 間の略断面の拡大図である。図1のB-B' 間の断面は図5と同様である。図4の従来例と同様の部分については同一の符号で示されている。

【0010】 従来例と異なるところは、第1のサイリスタのチャネルと第2のサイリスタのチャネルとの中間にダイオードDを形成していることである。このダイオードDは、N型半導体基板1の表面にP型拡散領域10とその周囲に接するようにN型拡散領域11を設けて形成する。図2はダイオード部分の断面拡大図であって、N型半導体基板1の表面に拡散したP型拡散領域10とその周囲のN型拡散領域11とをその表面に設けた導体12で短絡し、この導体12はさらに延長してN型拡散領域11の周囲のN型半導体基板1とP型拡散層10とのPNジャンクションを覆っている。その他は図4の従来例と同様であるから、重複した説明は省略する。

【0011】 N型半導体基板1は、たとえばN型シリコ

(3)

ン単結晶であって、不純物濃度が $10^{13} \sim 10^{15} \text{ (cm}^{-3}\text{)}$ のものを使用する。通常、P型の拡散領域は、ボロンを不純物として形成し、N型拡散領域は、リン、アンチモン、砒素等を不純物として形成する。

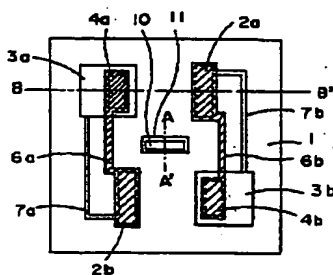
【0012】各P型アノード拡散領域2a、2bおよびP型ゲート拡散領域3a、3bは同時に形成し、その表面の不純物濃度は $1 \times 10^{17} \text{ (cm}^{-3}\text{)}$ 程度とし、拡散深さは $35 \mu\text{m}$ 程度とする。またP型抵抗拡散領域7a、7bは、 $8 \mu\text{m}$ 程度の拡散深さとする。

【0013】N型カソード拡散領域4a、4bおよび裏面のN型拡散領域8は、表面濃度 $5 \times 10^{20} \text{ (cm}^{-3}\text{)}$ 程度、拡散深さ $5 \mu\text{m}$ 程度で同時に形成する。

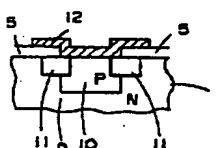
【0014】図2に示すショートされるダイオードD部においては、P型拡散領域10はP型抵抗拡散領域7a、7bと同時に形成し、N型拡散領域11は、N型カソード拡散領域4a、4b等と同時に拡散する。拡散工程終了後は、素子の表面に蒸着法により被着させたA1膜を選択エッチングして、表面の導体6a、6b、12等の配線を行なう。

【0015】図3はこのフォト・トライアックの等価回路図であって、第1のサイリスタと第2のサイリスタのNゲート、いわゆるN型半導体基板1に、ショートされたダイオードDが入った構造となっている。端子 T_1 がプラス、端子 T_2 がマイナスのとき、第1のサイリスタには順バイアスが印加される。

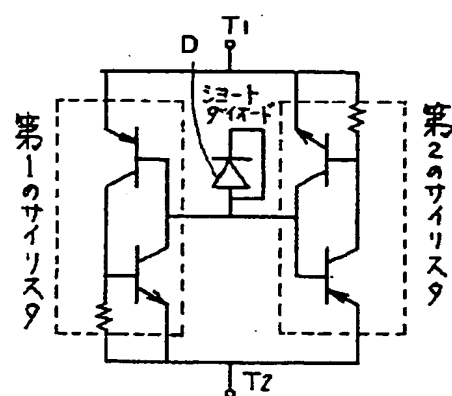
【図1】



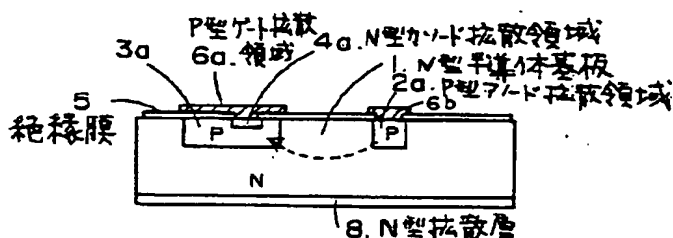
【図2】



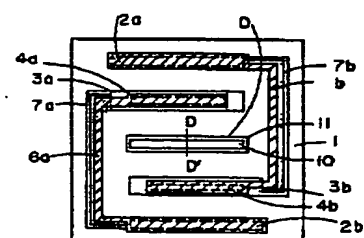
【図3】



【図5】



【図6】



【0016】図6は、他の実施例の略平面図で、図1の配置を横長にしたものである。D-D'間の断面の構造は図2と同様である。各チャンネルの間にショートされたダイオードDが形成されていることも図1と同様である。

【0017】

【発明の効果】本発明によればショートされたダイオードにより、転流時における残留した少数キャリアによる転流失敗を抑え、より高い転流特性の向上されたフォト・トライアックを得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の略平面図である。

【図2】図1のA-A'間の略断面拡大図である。

【図3】図1のフォト・トライアックの等価回路図である。

【図4】従来の一例の略平面図である。

【図5】図4のC-C'間の略断面図である。

【図6】本発明の他の実施例の略平面図である。

【符号の説明】

- 1 N型半導体基板
- 2a, 2b P型アノード拡散領域
- 3a, 3b P型ゲート拡散領域
- 4a, 4b N型カソード拡散領域
- 10 P型拡散領域
- 11 N型拡散領域
- D ダイオード

(4)

【圖 4】

